

PATENT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

WASHIDA, Kimihiro
5th Floor, Shintoshin Bldg.
24-1, Tsurumaki 1-chome
Tama-shi, Tokyo 206-0034
JAPON

Date of mailing (day/month/year) 20 June 2000 (20.06.00)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference 1F99129-PCT	
International application No. PCT/JP00/02604	International filing date (day/month/year) 21 April 2000 (21.04.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 10 June 1999 (10.06.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

1. The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
3. An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed to Rule 17.1(c)** which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
4. The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed to Rule 17.1(c)** which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
10 June 1999 (10.06.99)	11/164055	JP	09 June 2000 (09.06.00)

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer Tessadel PAMPLIEGA <i>tdp</i> Telephone No. (41-22) 338.83.38
--------------------------------------------------------------------------------------------------------------------------------------	------------------------------------------------------------------------------------------------

THIS PAGE BLANK (USPTO)

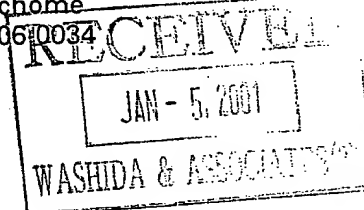
PCT

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

WASHIDA, Kimihito
5th Floor, Shintoshicenter Bldg.
24-1, Tsurumaki 1-chome
Tama-shi, Tokyo 206-0034
JAPON

Date of mailing (day/month/year) 21 December 2000 (21.12.00)		
Applicant's or agent's file reference 1F99129-PCT		IMPORTANT NOTICE
International application No. PCT/JP00/02604	International filing date (day/month/year) 21 April 2000 (21.04.00)	Priority date (day/month/year) 10 June 1999 (10.06.99)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
AG,AU,DZ,KP,KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
AE,AL,AM,AP,AT,AZ,BA,BB,BG,BR,BY,CA,CH,CN,CR,CU,CZ,DE,DK,DM,EA,EE,EP,ES,FI,GB,GD,
GE,GH,GM,HR,HU,ID,IL,IN,IS,KE,KG,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,NO,
NZ,OA,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,UZ,VN,YU,ZA,ZW
The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).
3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on
21 December 2000 (21.12.00) under No. WO 00/77937

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38

THIS PAGE BLANK (USPTO)



国際調査報告

(法 8 条、法施行規則第40、41条)
〔P C T 1 8 条、P C T 規則43、44〕

出願人又は代理人 の書類記号 1F99129-PCT	今後の手続きについては、国際調査報告の送付通知様式(P C T / I S A / 2 2 0) 及び下記 5 を参照すること。	
国際出願番号 P C T / J P 0 0 / 0 2 6 0 4	国際出願日 (日.月.年) 2 1 . 0 4 . 0 0	優先日 (日.月.年) 1 0 . 0 6 . 9 9
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (P C T 1 8 条) の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☐ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第 III 欄に示されているように、法施行規則第47条 (P C T 規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.-Cl⁷ H03M13/27

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.-Cl⁷ H03M13/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年

日本国公開実用新案公報 (U) 1971-2000年

日本国登録実用新案公報 (U) 1994-2000年

日本国実用新案登録公報 (Y2) 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	W0, 99/25069, A1 (エヌ・ティ・ティ移動通信網株式会社), 20. 5月. 1999 (20. 05. 99), 図 4 1 ~ 図 4 4 & AU, 9915828, A	1 - 10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

24. 07. 00

国際調査報告の発送日

08.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀和

5 K

4240

電話番号 03-3581-1101 内線 3556

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2000年12月21日 (21.12.2000)

PCT

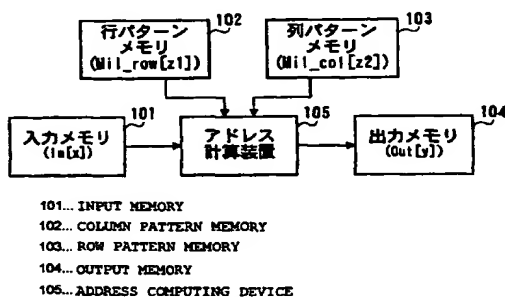
(10) 国際公開番号
WO 00/77937 A1

- (51) 国際特許分類: H03M 13/27 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 梶田邦之 (KAJITA, Kuniyuki) [JP/JP]; 〒239-0847 神奈川県横須賀市光の丘6-2-807 Kanagawa (JP). 戸田 隆 (TODA, Takashi) [JP/JP]; 〒921-8824 石川県石川郡野々市町新庄4-90 Ishikawa (JP).
- (21) 国際出願番号: PCT/JP00/02604
- (22) 国際出願日: 2000年4月21日 (21.04.2000)
- (25) 国際出願の言語: 日本語 (74) 代理人: 鷺田公一 (WASHIDA, Kimihito); 〒206-0034 東京都多摩市鶴牧1丁目24-1 新都市センタービル5階 Tokyo (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願平11/164055 1999年6月10日 (10.06.1999) JP (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

[続葉有]

(54) Title: INTERLEAVE DEVICE AND INTERLEAVE METHOD

(54) 発明の名称: インタリーブ装置およびインタリーブ方法



(57) Abstract: An input memory (101) stores input data. A column pattern memory (102) stores column patterns. A row pattern memory (103) stores row patterns. An output memory (104) stores output data in which a sequence of input data is changed. An address computing device (105) computes an address, to be written in output data, of input data, and writes, as output data, input data, read from the input memory (101) based on the computed input address, into the output memory (104).

(57) 要約:

入力メモリ101は、入力データを記憶する。行パターンメモリ102は、行パターンを記憶する。列パターンメモリ103は、列パターンを記憶する。出力メモリ104は、入力データの順序が入れ替えられた出力データを記憶する。アドレス計算装置105は、出力データに書き込むべき入力データのアドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ101から読み出した入力データを、出力データとして出力メモリ104に書き込む。



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

インタリーブ装置およびインタリーブ方法

5 技術分野

本発明は、CDMA（Code Division Multiple Access）移動体通信における符号化処理装置および符号化処理方法に関する。

背景技術

- 10 従来のCDMA方式の通信システムにおいては、伝送路上のバースト誤りによる通信品質劣化を避けるために、送信データの順序を入れ替えることによってランダム誤りにすることができるインタリーブが用いられていた。インタリーブ（Interleave 以下IL）とは、送信側装置において、定められたパターンに従って順番を入れ替えた送信データを送信し、受信側装置において、受信したデータを元の順番に戻す技術である。これにより、伝送路上で発生したバースト誤りをランダム誤りに変換でき、より高い誤り訂正復号を行うことができる。

- 送信側装置におけるILの処理は、次に述べる手順に従ってなされる。ここでは、一例としてL個のデータに対してIL処理を行う場合について説明
- 20 する。すなわち、まず、L個のデータを順に横方向にN個書き込む処理をM回繰り返すことにより、 $M \times N$ の行列を作成する。次に、このように作成された行列から、縦方向に順にM個読み出す処理をN回繰り返すことにより、データの順序が入れ替えられたL個のデータが得られる。このようなIL処理は、一般に、 $L[M \times N]$ と表現される。

- 25 2001年度からサービスが開始される次世代移動体通信方式の通信システム、すなわちW-CDMA方式の通信システムにおいては、インタリーブとしてマルチステージインタリーブ（Multistage InterLeave；MIL）が用

いられる。M I Lは、I Lの代わりに、より高い誤り訂正復号を補助するために新たに提案された技術であり、通信を行うチャネルごとに規定されるM I L式に従って、I L処理を階層的に繰り返し行うものである。以下、従来のCDMA通信システムにおいて用いられるM I L処理について説明する。

- 5 ここでは、次に示す式により表現されるM I L式を例にとり説明する。

$$20[5[3 \times 2] \times 4[2 \times 2]] \quad - (1)$$

- 式(1)は、20個の入力データ $I_n[x]$ ($x=0 \sim 19$) (例えば、それぞれ $\{0, 1, 2, \dots, 18, 19\}$ のアドレスを有する20個のデータ) を 5×4 の行列に展開した後、各行について $4[2 \times 2]$ のI L処理を行い、
 10 さらに、各列について $5[3 \times 2]$ のI L処理を行うことを表している。このような処理を行うことにより、式(1)が展開されて、順序が入れ替えられた20個の出力データ $O_u t[y]$ ($y=0 \sim 19$) が得られる。すなわち、出力データには、入力データが、次式に示すようなアドレスに従って順次書き込まれる。

- 15 $\{0, 8, 16, 4, 12, 2, 10, 18, 6, 14, 1, 9, 17, 5, 13, 3, 11, 19, 7, 15\} \quad - (2)$

なお、式(2)における各数字は、アドレスを示す。

- ここで、 $5[3 \times 2]$ および $4[2 \times 2]$ のような形式で表現されるM I L式を階層1 (s t a g e 1) のM I L式と呼び、 $20[5[3 \times 2] \times 4[2 \times 2]]$ の
 20 ような形式で表現されるM I L式を階層2 (s t a g e 2) のM I L式と呼ぶ。

- 上記のようなM I L処理においては、各階層においてI L処理を繰り返し行う必要があるため、階層の深いM I L式を用いるほど処理時間が多大となる。そこで、従来のCDMA方式においては、処理時間低減を実現するために、
 25 図1に示すM I L装置を用いてM I L処理を行っている。

図1は、従来のM I L装置の構成を示すブロック図である。図1に示すように、従来のM I L装置は、入力メモリ11と、メモリ読み書き装置12と、

出力メモリ 13 と、MIL パターンを記憶する MIL パターンメモリ 14 と、から構成されている。

図 1 に示す MIL 装置においては、MIL パターンメモリ 14 が MIL 式から生成される階層 0 の MIL パターンを記憶し、メモリ読み書き装置 12 が記憶された MIL パターンメモリを間接アドレッシングすることにより、送信データの順序の入れ替えを行うことができる。ここで、図 1 に示す MIL 装置の動作について、式 (1) に示した MIL 式を用いる場合を例にとり以下の説明を行う。

上述したように、式 (1) に示した MIL 式を展開すると、式 (2) に示した MIL パターンが得られる。この MIL パターンは、図 1 における MIL パターンメモリ 14 に記憶される。また、20 個の入力データ $In[x]$ ($x = 0 \sim 19$) (それぞれ $\{0, 1, 2, \dots, 18, 19\}$ のアドレスを有する 20 個の入力データ) は、入力メモリ 11 に記憶される。図 1 における入力メモリ 11、出力メモリ 13 および MIL パターンメモリ 14 に格納されるデータをそれぞれ $In[x]$ 、 $Out[y]$ および $Mil[z]$ ($x, y, z = 0 \sim 19$) とすると、図 2 に示す動作フローに従って MIL 処理が実行される。

図 2 は、従来の MIL 装置の動作を示すフロー図である。図 2 に示すように、メモリ読み書き装置 12 が、式 (2) に示すアドレスに従って順次入力メモリ 11 をアクセスして、アクセスしたデータを出力メモリ 13 に書き込むことにより、入力メモリ 11 に記憶された入力データの順序が入れ替えられた出力データが、出力メモリ 13 に書き込まれる。このような MIL 処理によれば、処理時間は、用いる MIL 式の階層の深さによる影響を受けないため、短縮される。

しかしながら、上記従来の MIL 装置においては、MIL パターンメモリ 14 は、MIL 処理を行う入力データと同等の大きさのデータを記憶するため、入力データ (ビット) 数が増大するに従って、必要となるメモリ量が膨大なものになるという問題がある。

発明の開示

本発明の目的は、必要となるメモリ量を低減させるインタリーブ装置を提供することである。

- 5 この目的は、入力データごとに規定されている、あるいは指定されたM I L式（配列変換規則式）に含まれる要素を用いて少なくとも1つのM I Lパターン（配列変換系列）を作成し、作成したM I Lパターンを用いて入力データの配列を変更することにより、達成される。

10 図面の簡単な説明

図1は、従来のM I L装置の構成を示すブロック図；

図2は、従来のM I L装置の動作を示すフロー図；

図3は、本発明の実施の形態1にかかるM I L装置の構成を示すブロック図；

- 15 図4は、上記実施の形態1にかかるM I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図5は、上記実施の形態1にかかるM I L装置の所要メモリ量を従来方式と比較して示す図；

- 20 図6は、本発明の実施の形態2にかかるM I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図7は、本発明の実施の形態3にかかるM I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図8は、本発明の実施の形態4にかかるM I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

- 25 図9は、本発明の実施の形態5にかかるD e -M I L装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図10は、本発明の実施の形態6にかかるD e -M I L装置におけるアドレ

ス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図 1 1 は、本発明の実施の形態 7 にかかる D e - M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図 1 2 は、本発明の実施の形態 8 にかかる D e - M I L 装置におけるアドレス計算装置による出力メモリに対する書き込み処理を示すフロー図；

図 1 3 は、本発明の実施の形態 9 にかかる符号化装置の構成を示すブロック図；

図 1 4 は、本発明の実施の形態 1 0 にかかる復号化装置の構成を示すブロック図；

図 1 5 は、本発明の実施の形態 1 1 にかかる移動局装置の構成を示すブロック図；

図 1 6 は、本発明の実施の形態 1 2 にかかる基地局装置の構成を示すブロック図である。

15 発明を実施するための最良の形態

以下、本発明を実施するための最良の形態について、図面を参照して詳細に説明する。

(実施の形態 1)

図 3 は、本発明の実施の形態 1 にかかる M I L 装置の構成を示すブロック図である。本実施の形態にかかる M I L 装置は、フレーム内においてデータの順序を入れ替える M I L 処理を実現する装置である。なお、本実施の形態においては、M I L 式（配列変換規則式）として、式（1）に示した $20[5[3 \times 2] \times 4[2 \times 2]]$ を用いた場合を例にとり説明する。

図 3 において、入力メモリ 1 0 1 は、2 0 個の入力データ $I n[x]$ ($x = 0 \sim 19$) を記憶する。ここで、各入力データのアドレスは、それぞれ $\{0, 1, 2, \dots, 18, 19\}$ であるとする。

行パターンメモリ 1 0 2 は、式（1）における階層 1 の M I L 式 $(5[3 \times$

2]) から生成されたMILパターン（配列変換系列）、すなわち、次式に示す行パターンMil_row[r]を記憶する。

$$\text{Mil_row}[r] (r=0\sim 4) = \{0, 2, 4, 1, 3\} \quad - (3)$$

列パターンメモリ103は、式(1)における階層1のMIL式(4[2×

5 2]) から生成されたMILパターン（配列変換系列）、すなわち、次式に示す列パターンMil_col[c]を記憶する。

$$\text{Mil_col}[c] (c=0\sim 3) = \{0, 2, 1, 3\} \quad - (4)$$

出力メモリ104は、入力データの順序が入れ替えられた20個の出力データOut[y] (y=0~19) を記憶する。

10 アドレス計算装置105は、出力データに書き込むべき入力データのアドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ101から読み出した入力データを、出力データとして出力メモリ104に書き込む。ここで、アドレス計算装置105による出力メモリ104に対する書き込み処理について、図4を参照して説明する。図4は、本発明の実施の形態

15 1にかかるMIL装置におけるアドレス計算装置105による出力メモリ104に対する書き込み処理を示すフロー図である。

工程（以下「ST」という。）201において、まず $c=0$ として後述するST205までの処理が繰り返され、 $c>C-1$ が満たされた場合には、処理は終了する。なお、Cは、列数（ここでは4）である。

20 ST202において、まず $r=0$ として後述するST204までの処理が繰り返され、 $r>R-1$ が満たされた場合にのみ、処理はST205に移行する。なお、Rは、行数（ここでは5）である。

ST203において、まず、出力データ $[r+R\times c]$ に書き込むべき入力データのアドレスが、次式に示すように計算される。

$$\text{Mil_col}[c] + \text{Mil_row}[r] \times C \quad - (5)$$

さらに、入力メモリ101において式(5)により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[r+R\times c]$ として出力

メモリ 104 に書き込まれる。

ST204 において、 r の値に 1 が加えられた後、処理は ST202 に移行する。ST205 において、 c の値に 1 が加えられた後、処理は ST201 に移行する。

- 5 以上のようなアドレス計算装置 105 による書き込み処理により、出力メモリ 104 における出力データ[y] (0~19) には、入力メモリ 101 に記憶された入力データが、式 (2) に示したアドレスに従って順次書き込まれることになる。すなわち、例えば、出力データ[0]、出力データ[1]および出力データ[2]には、それぞれ入力データ[0]、入力データ[8]および入力データ[16]がそれぞれ書き込まれる。

- 10 以上のように、式 (1) に示した MIL 式を用いた場合には、行パターンメモリ用として 5 word、列パターンメモリ用として 4 word、合計 9 word のメモリのみ (ただし、入出力メモリを除く) で、MIL 処理を実現することができる。出力メモリ 104 に書き込まれた出力データ、すなわち、MIL 処理により順序が入れ替えられた入力データは、この後、CDMA 方式の所定の処理がなされて送信される。

- 15 このように、本実施の形態によれば、用いる MIL 式に含まれる階層 1 の MIL 式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、MIL 処理を低メモリ量で実現することができる。

- 20 また、本実施の形態においては、各出力データについて、書き込むべき入力データのアドレスを計算した直後、計算したアドレスに記憶された入力データを逐一出力データに書き込むようにした場合について説明したが、本発明は、これに限定されず、書き込むべき入力データのアドレスをすべての出力データについて計算した後、計算したアドレスに記憶された入力データを読み出して出力データに書き込むようにしてもよい。

ここで、本実施の形態にかかるM I L装置の所要メモリ低減結果について、図5を参照して説明する。図5は、本発明の実施の形態1にかかるM I L装置の所要メモリ量を従来方式と比較して示す図である。図5においては、次に示す2つのM I L式を用いた場合の所要メモリ量が示されている。

5 ① $320[16[4[2 \times 2] \times 4[2 \times 2]] \times 20[4[2 \times 2] \times 5[3 \times 2]]]$

② $81376[5086[80[10[5[3 \times 2] \times 2] \times 8[4[2 \times 2] \times 2]]$

$\times 64[8[4[2 \times 2] \times 2] \times 8[4[2 \times 2] \times 2]]] \times 16[4[2 \times 2] \times 4[2 \times 2]]]$

図5から明らかなように、本実施の形態によれば、従来方式に比べて、所要メモリ量の大幅な削減が可能となる。さらに、M I L処理を行うデータ数
10 が増加するにつれて、その効果が大きくなる。

なお、本実施の形態においては、M I L式として(1)式に示したものを
用いた場合について説明したが、本発明は、さらに階層の深いM I L式を用
いた場合にも適用可能なものである。例えば、図5に示した①式をM I L式
として用いる場合には、行パターンメモリ102には、①式における階層2
15 のM I L式($16[4[2 \times 2] \times 4[2 \times 2]]$)から生成される行パターンを記憶させ、列
パターンメモリ103には、①式における階層2のM I L式
($20[4[2 \times 2] \times 5[3 \times 2]]$)から生成される列パターンを記憶させ、さらに、上記
各パターンを用いて上述したようにアドレス計算装置105により計算させ
ればよい。

20

(実施の形態2)

実施の形態2は、実施の形態1において、各入力データについての書き込
むべき出力データのアドレスを計算し、各入力データを出力メモリにおける
計算されたアドレス先には書き込むことにより、M I L処理を実現するもので
25 ある。

本実施の形態において、実施の形態1と相違する点は、アドレス計算装置
による出力メモリ104に対する書き込み処理である。さらに、本実施の形

態においては、行パターンメモリ 102 に記憶される行パターンおよび列パターンメモリ 103 に記憶される列パターンが、実施の形態 1 と相違する。

なお、本実施の形態の各構成要素における実施の形態 1 と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、実施の

5 形態 1 と同様に、式 (1) に示した MIL 式を用いるものとする。

まず、行パターンメモリ 102 は、MIL 式 (5[2×3]) から生成された、次式に示す行パターン $Mil_row[r]$ を記憶する。

$$Mil_row[r] (r=0\sim 4) = \{0, 3, 1, 4, 2\} \quad - (6)$$

また、列パターンメモリ 103 は、MIL 式 (4[2×2]) から生成された、次式に示す列パターン $Mil_col[c]$ を記憶する。

$$Mil_col[c] (c=0\sim 3) = \{0, 2, 1, 3\} \quad - (7)$$

さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ 104 における計算されたアドレス先に書き込む。ここで、アドレス計算装置による出力メモリ 104 に対する書き込み処理について、図 6 を参照して説明する。図 6 は、
15 本発明の実施の形態 2 にかかる MIL 装置におけるアドレス計算装置による出力メモリ 104 に対する書き込み処理を示すフロー図である。

ST401 において、まず $r=0$ として後述する ST405 までの処理が繰り返され、 $r>R-1$ が満たされた場合には、処理は終了する。なお、
20 R は行数（ここでは 5）である。

ST402 において、まず $c=0$ として後述する ST404 までの処理が繰り返され、 $c>C-1$ が満たされた場合にのみ、処理は ST405 に移行する。なお、C は、列数（ここでは 4）である。

ST403 において、まず、入力データ $[c+C\times r]$ を書き込むべき出力
25 データのアドレスが、次式に示すように計算される。

$$Mil_row[r] + Mil_col[c] \times R \quad - (8)$$

さらに、入力データ $[c+C\times r]$ は、出力メモリ 104 における式 (8)

により計算されたアドレス先に書き込まれる。

ST404において、cの値に1が加えられた後、処理はST402に移行する。ST405において、rの値に1が加えられた後、処理はST401に移行する。

- 5 以上のようなアドレス計算装置による書き込み処理により、入力メモリ101における入力データは、出力メモリ104における式(8)により計算されたアドレス先に順次書き込まれる。

10 以上のように、式(1)に示したMIL式を用いた場合には、行パターンメモリ用として5word、列パターンメモリ用として4word、合計9wordのメモリのみ(ただし、入出力メモリを除く)で、MIL処理を実現することができる。

15 このように、本実施の形態によれば、用いるMIL式に含まれる階層1のMIL式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、MIL処理を低メモリ量で実現することができる。

(実施の形態3)

20 実施の形態3は、実施の形態1において、フレーム間でデータの順序を入れ替える場合、すなわち列パターンが単なるインクリメンタル値である場合に、列パターンのみを用いて計算したアドレスを用いて出力メモリにデータを書き込むことにより、MIL処理を実現するものである。

25 CDMA通信においては、フレーム内でのデータの入れ替えだけでなく、さらにフレーム間でデータの入れ替えが行われることがある。これをフレーム間インタリーブ(フレーム間MIL)と呼ぶ。フレーム間インタリーブにおいて用いられるMIL式は、通常、 $L [M_1 \times N_1 [M_2 \times N_2]]$ という形で表現され、また、このMIL式には、列パターン式($N_1 [M_2 \times N_2]$)の

みが存在する。以下、本実施の形態にかかるM I L装置について説明する。

本実施の形態において、実施の形態1と相違する点は、まず、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、実施の形態1における行パターンメモリ102が除か
5 れている。以下、本実施の形態において、実施の形態1と相違する点のみに
ついて説明する。なお、本実施の形態の各構成要素における実施の形態1と
同様の構成については、同一符号を用いて説明する。また、本実施の形態に
おいては、次に示すM I L式を用いるものとする。

$$80[20 \times 4[2 \times 2]] \quad - (9)$$

10 まず、列パターンメモリ103は、式(9)における階層1のM I L式(4
[2 × 2])から生成された、次式に示す列パターンM i l _ c o l [c]を記憶
する。

$$M i l _ c o l [c] (c = 0 \sim 3) = \{0, 2, 1, 3\} \quad - (10)$$

さらに、アドレス計算装置は、出力データに書き込むべき入力データのアド
15 ドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ10
1から読み出した入力データを、出力データとして出力メモリ104に書き
込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み
処理について、図7を参照して説明する。図7は、本発明の実施の形態3に
かかるM I L装置におけるアドレス計算装置による出力メモリ104に対す
20 る書き込み処理を示すフロー図である。

S T 5 0 1において、まず $c = 0$ として後述するS T 5 0 5までの処理が
繰り返され、 $c > C - 1$ が満たされた場合には、処理は終了する。なお、C
は、列数(ここでは4)である。

S T 5 0 2において、まず $r = 0$ として後述するS T 5 0 4までの処理が
25 繰り返され、 $r > R - 1$ が満たされた場合にのみ、処理はS T 5 0 5に移行
する。なお、Rは、行数(ここでは20)である。

S T 5 0 3において、まず、出力データ $[r + R \times c]$ に書き込むべき入力

データのアドレスが、次式に示すように計算される。

$$r \times C + \text{M i l_c o l}[c] - (11)$$

さらに、入力メモリ101において式(11)により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[r + R \times c]$ として出

5 カメモリ104に書き込まれる。

ST504において、 r の値に1が加えられた後、処理はST502に移行する。ST505において、 c の値に1が加えられた後、処理はST501に移行する。

なお、フレーム間インタリーブは、上述した実施の形態1または実施の形態2により実現することができる。ところが、式(9)に示したMIL式に
10 インクリメント値が含まれているため、実施の形態1または実施の形態2を用いる場合には、行パターンメモリ102に単なるインクリメントデータを記憶させておく必要がある。したがって、フレーム間インタリーブを行う場合には、本実施の形態のように行パターンメモリを省いた構成のMIL装置
15 を用いる方が効率的である。

ここで、式(9)に示したMIL式を用いたフレーム間インタリーブを実現するための所要メモリ量について、従来方式と実施の形態1～実施の形態3とを比較と、

- ①従来方式 80word
- 20 ②実施の形態1および実施の形態2 24word
- ③実施の形態3 4word

となる。実施の形態3にかかるMIL装置においては、所要メモリ量は、従来方式に比べて $1/20$ となり、また、実施の形態1および実施の形態2に比べて $1/6$ となる。よって、フレーム間インタリーブにおいては、本実施
25 の形態にかかるMIL装置は非常に有効なものとなる。

このように、本実施の形態によれば、フレーム間インタリーブを行う場合において、用いるMIL式に含まれる階層1のMIL式を展開した列パター

ンのみを記憶し、さらに記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、M I L処理を低メモリ量で実現することができる。

5

(実施の形態4)

実施の形態4は、実施の形態2において、フレーム間でデータの順序を入れ替える場合、すなわち列パターンが単なるインクリメンタル値である場合に、各入力データについての書き込むべき出力データのアドレスを計算し、
10 各入力データを出力メモリにおける計算されたアドレス先に書き込むことにより、M I L処理を実現するものである。

本実施の形態において、実施の形態2と相違する点は、まず、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、実施の形態2における行パターンメモリ102が除か
15 れている。以下、本実施の形態において、実施の形態1と相違する点のみについて説明する。なお、本実施の形態の各構成要素における実施の形態1と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、実施の形態3と同様に式(9)に示したM I L式を用いるものとする。

20 まず、列パターンメモリ103は、実施の形態3と同様に、式(10)に示した列パターンM i l _ c o l [c]を記憶する。さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ104における計算されたアドレス先に書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理に
25 ついて、図8を参照して説明する。図8は、本発明の実施の形態4にかかるM I L装置におけるアドレス計算装置による出力メモリ104に対する書き込み処理を示すフロー図である。

ST601において、まず $r=0$ として後述するST605までの処理が繰り返され、 $r>R-1$ が満たされた場合には、処理は終了する。なお、 R は、行数（ここでは20）である。

ST602において、まず $c=0$ として後述するST604までの処理が繰り返され、 $c>C-1$ が満たされた場合にのみ、処理はST605に移行する。なお、 C は、列数（ここでは4）である。

ST603において、まず、入力データ $[c+C\times r]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$r+R\times \text{Mil_col}[c] \quad - (12)$$

10 さらに、入力データ $[c+C\times r]$ は、出力メモリ104における式(12)により計算されたアドレス先に書き込まれる。

ST604において、 c の値に1が加えられた後、処理はST602に移行する。ST605において、 r の値に1が加えられた後、処理はST601に移行する。

15 このように、本実施の形態によれば、フレーム間インタリーブを行う場合において、用いるMIL式に含まれる階層1のMIL式を展開した列パターンのみを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、MIL処理を低メモリ量で実現することができ
20 ける。

（実施の形態5）

実施の形態5は、MIL処理により順序が入れ替えられたデータの順序を元に戻すDe-MIL (De-Multistage InterLeave)
25 e) 装置を実現するものである。本実施の形態にかかるDe-MIL装置は、実施の形態1（図3）と同様の構成により実現することが可能なものである。以下、本実施の形態にかかるDe-MIL装置について、実施の形態1と相

違する点のみ、図3を参照して説明する。なお、本実施の形態においては、式(1)に示すMIL式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

図3において、入力メモリ101は、順序が入れ替えられた20個の入力
5 データIn[x] ($x=0\sim19$) を記憶する。行パターンメモリ102は、式(6)に示した行パターンを記憶する。列パターンメモリ103は、式(7)に示した列パターンを記憶する。出力メモリ104は、入力データの順序が元に戻された20個の出力データOut[y] ($y=0\sim19$) を記憶する。

アドレス計算装置105は、出力データに書き込むべき入力データのアド
10 レスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ101から読み出した入力データを、出力データとして出力メモリ104に書き込む。ここで、アドレス計算装置105による出力メモリ104に対する書き込み処理について、図9を参照して説明する。図9は、本発明の実施の形態5にかかるDe-MIL装置におけるアドレス計算装置105による出力メ
15 モリ104に対する書き込み処理を示すフロー図である。

ST701において、まず $r=0$ として後述するST705までの処理が繰り返され、 $r>R-1$ が満たされた場合には、処理は終了する。なお、Rは行数(ここでは5)である。

ST702において、まず $c=0$ として後述するST704までの処理が
20 繰り返され、 $c>C-1$ が満たされた場合にのみ、処理はST705に移行する。なお、Cは、列数(ここでは4)である。

ST703において、まず、出力データ $[C\times r+c]$ に書き込むべき入力データのアドレスが、次式に示すように計算される。

$$M i l_r o w[r]+R\times M i l_c o l[c] \quad - (13)$$

25 さらに、入力メモリ101において式(13)により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[C\times r+c]$ として出力メモリ104に書き込まれる。

ST704において、cの値に1が加えられた後、処理はST702に移行する。ST705において、rの値に1が加えられた後、処理はST701に移行する。

- 5 このように、本実施の形態によれば、用いるMIL式に含まれる階層1のMIL式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、De-MIL処理を低メモリ量で実現することができる。

10 (実施の形態6)

実施の形態6は、実施の形態5において、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリにおける計算されたアドレス先に書き込むことにより、De-MIL処理を実現するものである。

- 15 本実施の形態において、実施の形態5と相違する点は、アドレス計算装置による出力メモリ104に対する書き込み処理である。さらに、本実施の形態においては、行パターンメモリ102に記憶される行パターンおよび列パターンメモリ103に記憶される列パターンが、実施の形態5と相違する。なお、本実施の形態の各構成要素における実施の形態5と同様の構成について、同一符号を用いて説明する。また、本実施の形態においては、実施の形態5と同様に、式(1)に示すMIL式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

- 25 まず、行パターンメモリ102は、式(3)に示した行パターンM_{il}__row[r]を記憶し、列パターンメモリ103は、式(4)に示した列パターンM_{il}__col[c]を記憶する。

さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ104における計算

されたアドレス先に書き込む。ここで、アドレス計算装置による出力メモリ 104 に対する書き込み処理について、図 10 を参照して説明する。図 10 は、本発明の実施の形態 6 にかかる De-MIL 装置におけるアドレス計算装置による出力メモリ 104 に対する書き込み処理を示すフロー図である。

- 5 ST801 において、まず $c = 0$ として後述する ST805 までの処理が繰り返され、 $c > C - 1$ が満たされた場合には、処理は終了する。なお、 C は列数（ここでは 4）である。

- ST802 において、まず $r = 0$ として後述する ST804 までの処理が繰り返され、 $r > R - 1$ が満たされた場合にのみ、処理は ST805 に移行
10 する。なお、 R は、行数（ここでは 5）である。

ST803 において、まず、入力データ $[r + c \times R]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$C \times \text{Mil_row}[r] + \text{Mil_col}[c] \quad - (14)$$

- さらに、入力データ $[r + c \times R]$ は、出力メモリ 104 における式 (14)
15 により計算されたアドレス先に書き込まれる。

ST804 において、 r の値に 1 が加えられた後、処理は ST802 に移行する。ST805 において、 c の値に 1 が加えられた後、処理は ST801 に移行する。

- このように、本実施の形態によれば、用いる MIL 式に含まれる階層 1 の
20 MIL 式を展開したパターンを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、De-MIL 処理を低メモリ量で実現することができる。

25 (実施の形態 7)

実施の形態 7 は、実施の形態 5 において、フレーム間でデータの順序を元に戻す場合、すなわち列パターンが単なるインクリメンタル値である場合に、

列パターンのみを用いて計算したアドレスを用いて出力メモリにデータを書き込むことにより、De-MIL処理を実現するものである。

本実施の形態において、実施の形態5と相違する点は、まず、アドレス計算装置による出力メモリに対する書き込み処理である。さらに、本実施の形態5においては、実施の形態5における行パターンメモリ102が除かれている。以下、本実施の形態において、実施の形態5と相違する点のみについて説明する。なお、本実施の形態の各構成要素における実施の形態5と同様の構成については、同一符号を用いて説明する。また、本実施の形態においては、式(9)に示すMIL式により順序が入れ替えられたデータの順序を元

10 に戻す場合を例にとり説明する。

まず、列パターンメモリ103は、式(9)における階層1のMIL式(4[2×2])から生成された式(10)に示す列パターンMil_col[c]を記憶する。

さらに、アドレス計算装置は、出力データに書き込むべき入力データのアドレスを計算し、さらに、計算した入力アドレスに基づいて入力メモリ101

15 から読み出した入力データを、出力データとして出力メモリ104に書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理について、図11を参照して説明する。図11は、本発明の実施の形態7にかかるDe-MIL装置におけるアドレス計算装置による出力メモリ10

20 4に対する書き込み処理を示すフロー図である。

ST901において、まず $r = 0$ として後述するST905までの処理が繰り返され、 $r > R - 1$ が満たされた場合には、処理は終了する。なお、 R は、行数（ここでは20）である。

ST902において、まず $c = 0$ として後述するST904までの処理が

25 繰り返され、 $c > C - 1$ が満たされた場合にのみ、処理はST905に移行する。なお、 C は、列数（ここでは4）である。

ST903において、まず、出力データ[$C \times r + c$]に書き込むべき入力

データのアドレスが、次式に示すように計算される。

$$R \times M i l_c o l[c] + r \quad - (15)$$

- さらに、入力メモリ 101 において式 (15) により計算されたアドレスに記憶された入力データは、読み出されて出力データ $[C \times r + c]$ として出力メモリ 104 に書き込まれる。

ST904 において、 c の値に 1 が加えられた後、処理は ST902 に移行する。ST905 において、 r の値に 1 が加えられた後、処理は ST901 に移行する。

- このように、本実施の形態によれば、フレーム間でデータの順序を元に戻す場合において、用いる MIL 式に含まれる階層 1 の MIL 式を展開した列パターンのみを記憶し、さらに記憶したパターンを用いて、各出力データについて、書き込むべき入力データのアドレスを計算し、計算したアドレスに記憶された入力データを出力データに順次書き込むことにより、De-MIL 処理を低メモリ量で実現することができる。

15

(実施の形態 8)

- 実施の形態 8 は、実施の形態 6 において、フレーム間でデータの順序を元に戻す場合、すなわち列パターンが単なるインクリメンタル値である場合に、列パターンのみを用いて、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリにおける計算されたアドレス先に書き込むことにより、De-MIL 処理を実現するものである。

- 本実施の形態において、実施の形態 6 と相違する点は、まず、アドレス計算装置による出力メモリ 104 に対する書き込み処理である。さらに、本実施の形態においては、実施の形態 6 における行パターンメモリ 102 が除かれている。以下、本実施の形態において、実施の形態 6 と相違する点のみについて説明する。なお、本実施の形態の各構成要素における実施の形態 1 と同様の構成については、同一符号を用いて説明する。また、本実施の形態に

25

においては、実施の形態7と同様に、式(9)に示すMIL式により順序が入れ替えられたデータの順序を元に戻す場合を例にとり説明する。

。

まず、列パターンメモリ103は、実施の形態7と同様に、式(10)に示した列パターン $Mil_col[c]$ を記憶する。さらに、アドレス計算装置は、各入力データについての書き込むべき出力データのアドレスを計算し、各入力データを出力メモリ104における計算されたアドレス先書き込む。ここで、アドレス計算装置による出力メモリ104に対する書き込み処理について、図12を参照して説明する。図12は、本発明の実施の形態8にかかるDe-MIL装置におけるアドレス計算装置による出力メモリ104に対する書き込み処理を示すフロー図である。

ST1001において、まず $c=0$ として後述するST1005までの処理が繰り返され、 $c>C-1$ が満たされた場合には、処理は終了する。なお、 C は、列数(ここでは4)である。

ST1002において、まず $r=0$ として後述するST1004までの処理が繰り返され、 $r>R-1$ が満たされた場合にのみ、処理はST1005に移行する。なお、 R は、行数(ここでは20)である。

ST1003において、まず、入力データ $[r+c\times R]$ を書き込むべき出力データのアドレスが、次式に示すように計算される。

$$r+R\times Mil_col[c] \quad - (16)$$

さらに、入力データ $[r+c\times R]$ は、出力メモリ104における式(16)により計算されたアドレス先書き込まれる。

ST1004において、 r の値に1が加えられた後、処理はST1002に移行する。ST1005において、 c の値に1が加えられた後、処理はST1001に移行する。

このように、本実施の形態によれば、フレーム間でデータの順序を元に戻す場合において、用いるMIL式に含まれる階層1のMIL式を展開した列

パターンのみを記憶し、さらに、記憶したパターンを用いて、各入力データについて、書き込むべき出力メモリのアドレスを計算し、計算したアドレスに入力データを書き込むことにより、De-MIL処理を低メモリ量で実現することができる。

5

(実施の形態9)

実施の形態9は、実施の形態1～実施の形態4のいずれかのMIL装置、あるいは、実施の形態1～実施の形態4を組み合わせたMIL装置と、送信データを符号化する装置と、送信データの長さを調節する装置と、を搭載した符号化装置を実現するものである。

本実施の形態にかかる符号化装置について、図13を参照して説明する。図13は、本発明の実施の形態9にかかる符号化装置の構成を示すブロック図である。図13に示すように、本実施の形態にかかる符号化装置は、主に、マイク等のデータ生成装置1101と、CRC符号化および誤り訂正符号化を行う符号化装置1102と、フレーム間でMILを行うフレーム間MIL装置1103と、送信データのRepetition/Puncturingを行うレートマッチング装置1104aおよびレートマッチング装置1104bと、フレーム内でMILを行うフレーム内MIL装置1105aおよびフレーム内MIL装置1105bと、から構成される。

データ生成装置1101は、数フレーム分のデータ（ここでは2フレーム）を発生させる。符号化装置1102は、発生された2フレームのデータに対して、CRC符号化および誤り訂正符号化を行う。

フレーム間MIL装置1103は、符号化された2フレーム分のデータに対して、フレーム間MIL処理を行う。なお、フレーム間MIL装置としては、例えば、上述した実施の形態3または実施の形態4におけるMIL装置を用いることができる。

レートマッチング装置1104aおよびレートマッチング装置1104b

は、それぞれ、フレーム間MIL処理がなされた各フレームのデータに対して、Repetition/Puncturing処理を行う。

フレーム内MIL装置1105aおよびフレーム内MIL装置1105bは、それぞれ、Repetition/Puncturing処理がなされた各フレームのデータに対して、フレーム内MILを行う。フレーム内MIL装置としては、例えば、上述した実施の形態1または実施の形態2におけるMIL装置を用いることができる。

このように、本実施の形態によれば、フレーム間MIL装置およびフレーム内MIL装置に要するメモリ量を大幅に削減することができるので、符号化装置の回路規模を著しく低減できる。

(実施の形態10)

実施の形態10は、実施の形態5～実施の形態8のいずれかのDe-MIL装置、あるいは、実施の形態5～実施の形態8を組み合わせたDe-MIL装置と、受信データを復号化する装置と、受信データの長さを調節する装置と、を搭載した復号化装置を実現するものである。

本実施の形態にかかる復号化装置について、図14を参照して説明する。図14は、本発明の実施の形態10にかかる復号化装置の構成を示すブロック図である。図14に示すように、本実施の形態にかかる復号化装置は、主に、フレーム内でDe-MILを行うフレーム内De-MIL装置1201aおよびフレーム内De-MIL装置1201bと、受信データのRepetition/Puncturingを行うレートマッチング装置1202aおよびレートマッチング装置1202bと、フレーム間でDe-MILを行うフレーム間De-MIL装置1203と、CRC復号化および誤り訂正復号化を行う復号化装置1204と、データ出力装置1205と、から構成される。

フレーム内De-MIL装置1201aおよびフレーム内De-MIL装

置1201bは、数フレーム（ここでは2フレーム）分のそれぞれの受信データに対してフレーム内De-MIL処理を行う。なお、フレーム内De-MIL装置としては、例えば、上述した実施の形態5または実施の形態6におけるDe-MIL装置を用いることができる。

- 5 レートマッチング装置1202aおよびレートマッチング装置1202bは、それぞれ、フレームごとにDe-MIL処理後の受信データに対して、レートマッチング処理を行う。

- フレーム間De-MIL装置1203は、レートマッチング処理後の2フレーム分の受信データに対して、フレーム間De-MIL処理を行う。なお、
10 フレーム間De-MIL装置としては、上述した実施の形態7または実施の形態8におけるDe-MIL装置を用いることができる。

- 復号化装置1204は、フレーム間De-MIL処理後の受信データに対して、誤り訂正復号化およびCRC復号化を行う。データ出力装置1205は、誤り訂正復号化およびCRC復号化後の受信データに対する出力処理を
15 行う。

このように、本実施の形態によれば、フレーム間De-MIL装置およびフレーム内De-MIL装置に要するメモリ量を大幅に削減することができるので、復号化装置の回路規模を著しく低減できる。

- なお、本実施の形態においては、フレーム内De-MIL処理、レートマ
20 ッチング処理およびフレーム間De-MIL処理を順次行う場合を例にとり説明したが、フレーム内De-MIL処理、フレーム間De-MIL処理およびレートマッチング処理を順次行うようにしてもよい。

（実施の形態11）

- 25 実施の形態11は、実施の形態9の符号化装置と実施の形態10の復号化装置を用いて、移動局装置を実現するものである。本実施の形態にかかる移動局装置について、図15を参照して説明する。図15は、本発明の実施の

形態 1 1 にかかる移動局装置の構成を示すブロック図である。

図 1 5 に示すように、本実施の形態にかかる移動局装置は、主に、データの送受信処理を行う送受信装置 1 3 0 1 と、受信データの同期および復調処理を行う同期・復調装置 1 3 0 2 と、上述した実施の形態 1 0 における復号化処理装置 1 3 0 3 と、データを出力するデータ出力装置 1 3 0 4 と、データを発生する、あるいは音声等のデータを外部から取り込むデータ発生装置 1 3 0 5 と、上述した実施の形態 9 における符号化処理装置 1 3 0 6 と、送信データの拡散・変調処理を行う拡散変調装置 1 3 0 7 と、から構成される。

本実施の形態によれば、フレーム間 M I L およびフレーム間 D e - M I L ならびにフレーム内 M I L およびフレーム内 D e - M I L に要するメモリ量を大幅に削減することができるので、移動局装置の回路規模を大幅に低減できる。

また、符号化処理装置 1 3 0 6 におけるフレーム内 M I L 装置として、実施の形態 1 (2) におけるフレーム内 M I L 装置を用い、また、復号化処理装置 1 3 0 3 におけるフレーム内 D e - M I L 装置として、実施の形態 6 (5) におけるフレーム内 D e - M I L 装置を用いた場合には、フレーム内 M I L 装置およびフレーム内 D e - M I L 装置において、共通の行パターンおよび列パターンを使用できるので、さらなる回路規模の低減が可能となる。

20 (実施の形態 1 2)

実施の形態 1 2 は、実施の形態 9 の符号化装置と実施の形態 1 0 の復号化装置を用いて、基地局装置を実現するものである。本実施の形態にかかる基地局装置について、図 1 6 を参照して説明する。図 1 6 は、本発明の実施の形態 1 2 にかかる基地局装置の構成を示すブロック図である。

図 1 6 に示すように、本実施の形態にかかる基地局装置は、主に、データの送受信処理を行う送受信装置 1 4 0 1 と、受信データの復調処理を行う復調装置 1 4 0 2 と、上述した実施の形態 1 0 における復号化処理装置 1 4 0

3と、データを出力するデータ出力装置1404と、データを発生するデータ発生装置1405と、上述した実施の形態9における符号化処理装置1406と、送信データの拡散・変調処理を行う拡散変調装置1407と、から構成される。

- 5 このように、本実施の形態によれば、フレーム間M I Lおよびフレーム間D e - M I Lならびにフレーム内M I Lおよびフレーム内D e - M I Lに要するメモリ量を大幅に削減することができるので、移動局装置の回路規模を大幅に低減できる。

また、符号化処理装置1406におけるフレーム内M I L装置として、実施の形態1（2）におけるフレーム内M I L装置を用い、また、復号化処理装置1403におけるフレーム内D e - M I L装置として、実施の形態6（5）におけるフレーム内D e - M I L装置を用いた場合には、フレーム内M I L装置およびフレーム内D e - M I L装置において、共通の行パターンおよび列パターンを使用できるので、さらなる回路規模の低減が可能となる。

- 15 なお、上記実施の形態においては、M I L式の階層1の要素を用いた場合について説明してきたが、本発明は、任意の階層の要素を用いた場合においても適用可能なものである。

また、上記実施の形態においては、フレーム間でデータの順序を入れ替える場合に、M I L式に含まれる階層1のM I L式を展開した列パターンを用いる場合について説明したが、本発明は、M I L式に含まれる階層1のM I L式を展開した行パターンを用いた場合にも適用可能なものである。

- さらに、上記実施の形態においては、フレーム間でデータの順序を入れ替える場合に、M I L式に含まれる階層1のM I L式を展開したM I Lパターンを用いた場合について説明したが、本発明は、M I L式に含まれる一方のM I L式が他方のM I L式に比べて少なくとも1階層以上低いときに、この他方のM I L式を展開したM I Lパターンを用いた場合にも適用可能なものである。

- ①本発明の第1の態様のインタリーブ装置は、入力データごとに規定されている配列変換規則式に含まれる要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する構成を採る。

この構成によれば、配列変換規則式（M I L式）における要素、例えば、階層1の各要素から生成される行パターン式または列パターン式を用いて配列変換系列（M I Lパターン）を作成し、作成した配列変換系列を用いて入力データの配列を変更できるので、所要メモリを抑えたM I L処理を行うことが可能となる。

- ②本発明の第2の態様のインタリーブ装置は、第1の態様において、配列変更手段は、各入力データについての配列変更後の順位を算出する第1順位算出手段を具備し、算出された順位に従って入力データの配列を変更する構成を採る。

この構成によれば、作成された配列変換系列を用いて、各入力データの配列変更後の順位を算出することにより、確実に入力データの配列を変更することができる。

- ③本発明の第3の態様のインタリーブ装置は、第1の態様において、配列変更手段は、配列変更後の各入力データについて、この各入力データに配置すべき入力データの配列順位を算出する第2算出手段を具備し、算出された配列順位に従って入力データの配列を変更する構成を採る。

この構成によれば、作成された配列変換系列を用いて、配列変更後の各入力データに配置すべき入力データの配列順位を算出することにより、確実に入力データの配列を変更することができる。

- ④本発明の第4の態様のインタリーブ装置は、第1の態様から第3の態様のいずれかにおいて、変換系列作成手段は、配列変換規則式に含まれる一方の要素が他方の要素に比べ少なくとも1階層以上低い場合には、前記他方の要

素を用いて配列変換系列を作成する構成を採る。

この構成によれば、例えば、配列変換規則式に列パターン式のみが含まれている場合には、この列パターン式のみを用いて配列変換系列を作成することにより、所要メモリをさらに低減することができる。

- 5 ⑤本発明の第5の態様のインタリーブ装置は、第1の態様から第4の態様において、配列変更手段は、配列変換規則式により配列が変更された入力データの配列を変更する構成を採る。

- 10 この構成によれば、同一の配列変換規則式を用いて作成された配列変換系列を用いることにより、この配列変換規則式により配列が変更された入力データの配列を元に戻すことができる。

- ⑥本発明の第6の態様の通信端末装置は、インタリーブ装置を備え、前記インタリーブ装置は、入力データごとに規定されている配列変換規則式に含まれる要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列
15 変更手段と、を具備する構成を採る。

この構成によれば、所要メモリを低減するインタリーブ装置を備えることにより、回路規模を抑えた通信端末装置を提供することができる。

- ⑦本発明の第7の態様の基地局装置は、インタリーブ装置を備え、前記インタリーブ装置は、入力データごとに規定されている配列変換規則式に含ま
20 れる要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する構成を採る。

この構成によれば、所要メモリを低減するインタリーブ装置を備えることにより、回路規模を抑えた基地局装置を提供することができる。

- 25 ⑧本発明の第8の態様の無線通信システムは、インタリーブ装置を備えた通信端末装置と前記インタリーブ装置を備えた基地局装置との間で通信を行い、前記インタリーブ装置は、入力データごとに規定されている配列変換規則式

に含まれる要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する構成を採る。

この構成によれば、回路規模を抑えた通信端末装置および基地局装置を用
5 いることにより、効率的な無線通信を実現することができる。

⑨本発明の第9の態様のインタリーブ方法は、入力データごとに規定されている配列変換規則式に含まれる要素を用いて少なくとも1つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて入力データの配列を変更する配列変更工程と、を具備するようにした。

10 この方法によれば、この構成によれば、配列変換規則式における要素、例えば、階層1の各要素から生成される行パターン式または列パターン式を用いて配列変換系列を作成し、作成した配列変換系列を用いて入力データの配列を変更できるので、所要メモリを抑えたM I L処理を行うことが可能となる。

15 ⑩本発明の第10の態様のインタリーブ方法は、入力データごとに規定されている配列変換規則式に含まれる要素を用いて少なくとも1つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて、前記配列変換規則式により配置変更された入力データの配列を復元する配列復元工程と、を具備するようにした。

20 この方法によれば、同一の配列変換規則式を用いて作成された配列変換系列を用いることにより、この配列変換規則式により配列が変更された入力データの配列を元に戻すことができる。

以上説明したように、本発明によれば、入力データごとに規定されている、
25 あるいは指定されたM I L式（配列変換規則式）に含まれる要素を用いて少なくとも1つのM I Lパターン（配列変換系列）を作成し、作成したM I Lパターンを用いて入力データの配列を変更するので、必要となるメモリ量を

低減させるインタリーブ装置を提供することことができる。

本明細書は、平成11年6月10日出願の特願平11-164055号に基づくものである。この内容をここに含めておく。

5

産業上の利用可能性

本発明は、CDMA移動体通信における符復号化処理装置および符復号化処理方法の分野に利用するのに好適である。

請求の範囲

1. 入力データごとに規定されている配列変換規則式に含まれる要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を
5 具備するインタリーブ装置。
2. 配列変更手段は、各入力データについての配列変更後の順位を算出する第1順位算出手段を具備し、算出された順位に従って入力データの配列を変更する請求項1に記載のインタリーブ装置。
3. 配列変更手段は、配列変更後の各入力データについて、この各入力デー
10 タに配置すべき入力データの配列順位を算出する第2算出手段を具備し、算出された配列順位に従って入力データの配列を変更する請求項1に記載のインタリーブ装置。
4. 変換系列作成手段は、配列変換規則式に含まれる一方の要素が他方の要素に比べ少なくとも1階層以上低い場合には、前記他方の要素を用いて配列
15 変換系列を作成する請求項1に記載のインタリーブ装置。
5. 配列変更手段は、配列変換規則式により配列が変更された入力データの配列を変更する請求項1に記載のインタリーブ装置。
6. インタリーブ装置を備えた通信端末装置であって、前記インタリーブ装置は、入力データごとに規定されている配列変換規則式に含まれる要素を用
20 いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する。
7. インタリーブ装置を備えた基地局装置であって、前記インタリーブ装置は、入力データごとに規定されている配列変換規則式に含まれる要素を用
25 いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する。

8. インタリーブ装置を備えた通信端末装置と前記インタリーブ装置を備えた基地局装置との間で通信を行う無線通信システムであって、前記インタリーブ装置は、入力データごとに規定されている配列変換規則式に含まれる要素を用いて、少なくとも1つの配列変換系列を作成する変換系列作成手段と、
- 5 作成された配列変換系列を用いて入力データの配列を変更する配列変更手段と、を具備する。
9. 入力データごとに規定されている配列変換規則式に含まれる要素を用いて少なくとも1つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて入力データの配列を変更する配列変更工程と、を具備するインタリーブ方法。
- 10 10. 入力データごとに規定されている配列変換規則式に含まれる要素を用いて少なくとも1つの配列変換系列を作成する変換系列作成工程と、作成された配列変換系列を用いて、前記配列変換規則式により配置変更された入力データの配列を復元する配列復元工程と、を具備するインタリーブ方法。

THIS PAGE BLANK (USPTO)

1 / 14

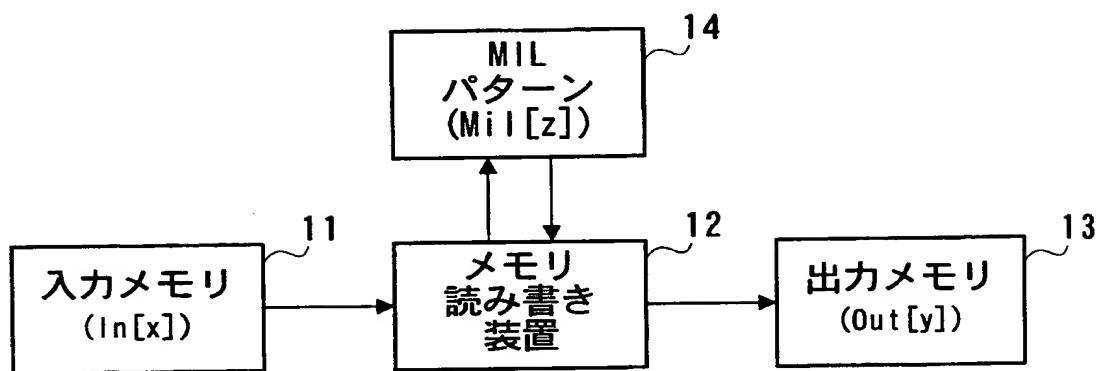


図 1

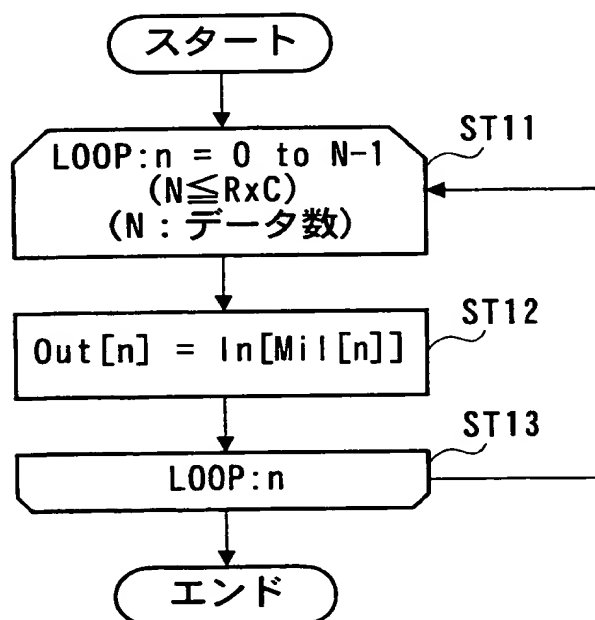


図 2

THIS PAGE BLANK (USPTO)

2 / 1 4

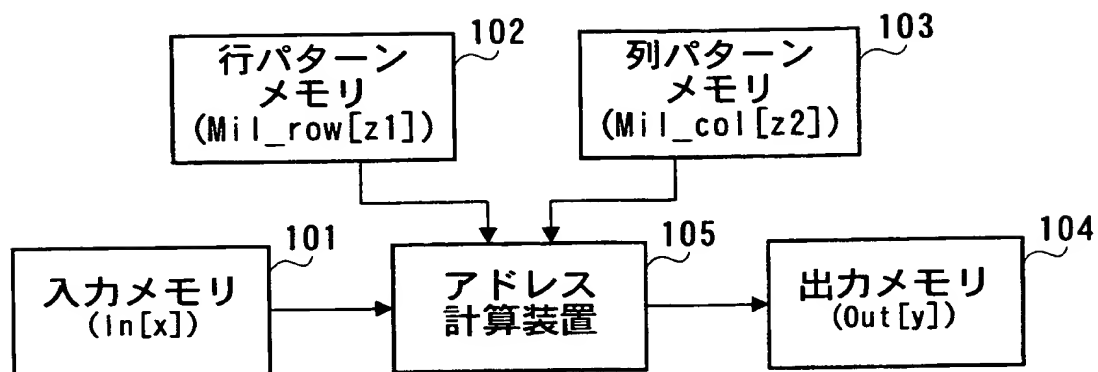


図 3

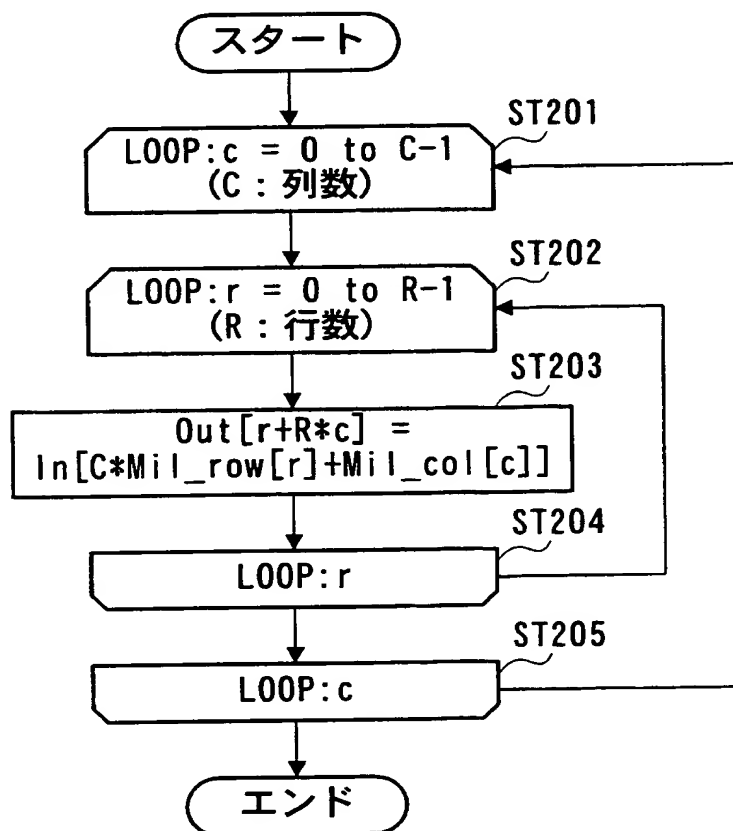


図 4

THIS PAGE BLANK (USPTO)

MILパターン	MIL実現法	処理量 (Word) ※入出力処理を除く	従来法を100と した時の比較
①	従来法	320	100.00
	提案法	36	11.25
②	従来法	81376	100.00
	提案法	5102	6.27

図 5

THIS PAGE BLANK (USPTO)

4 / 1 4

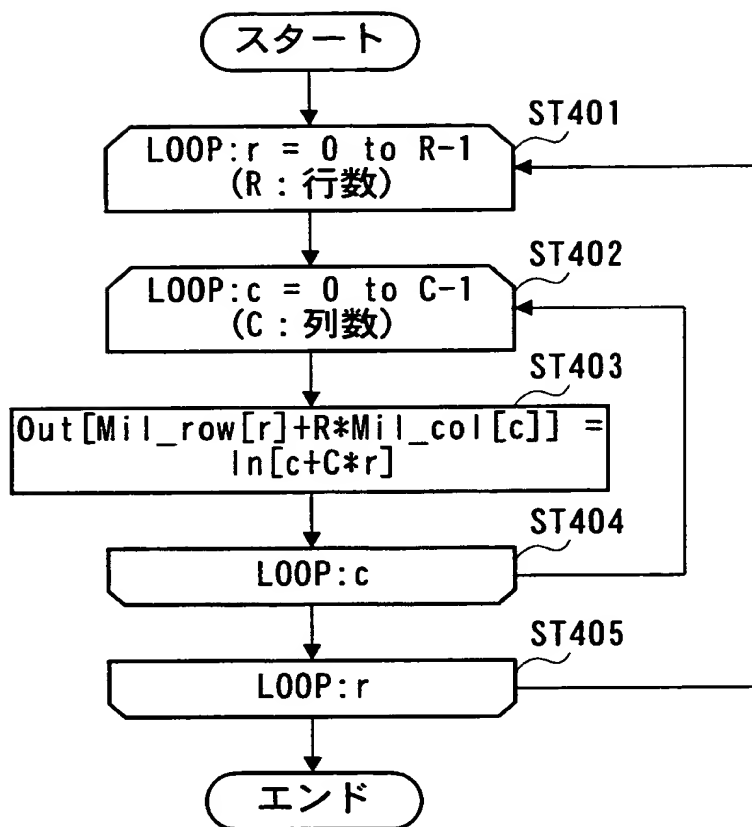


図 6

THIS PAGE BLANK (USPTO)

5 / 1 4

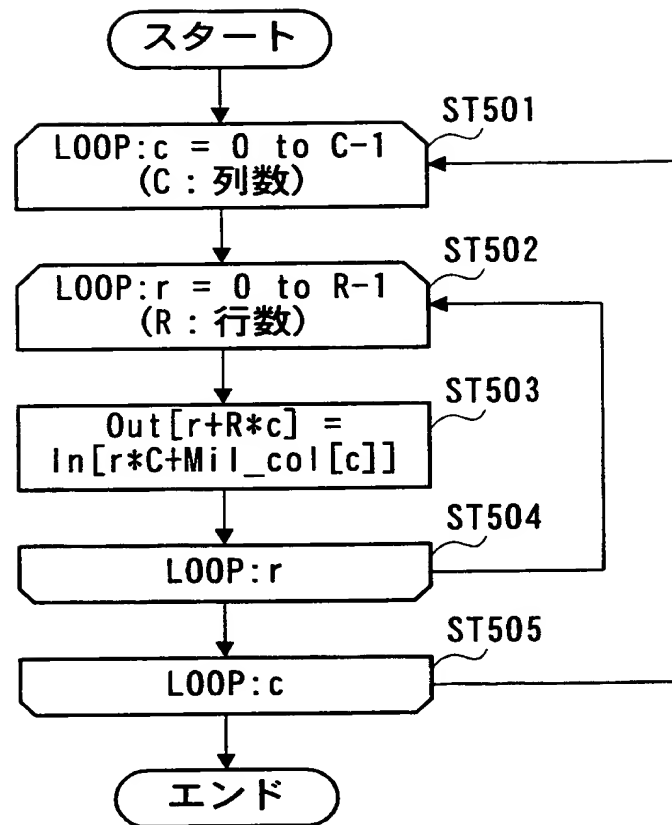


図 7

THIS PAGE BLANK (USPTO)

6 / 1 4

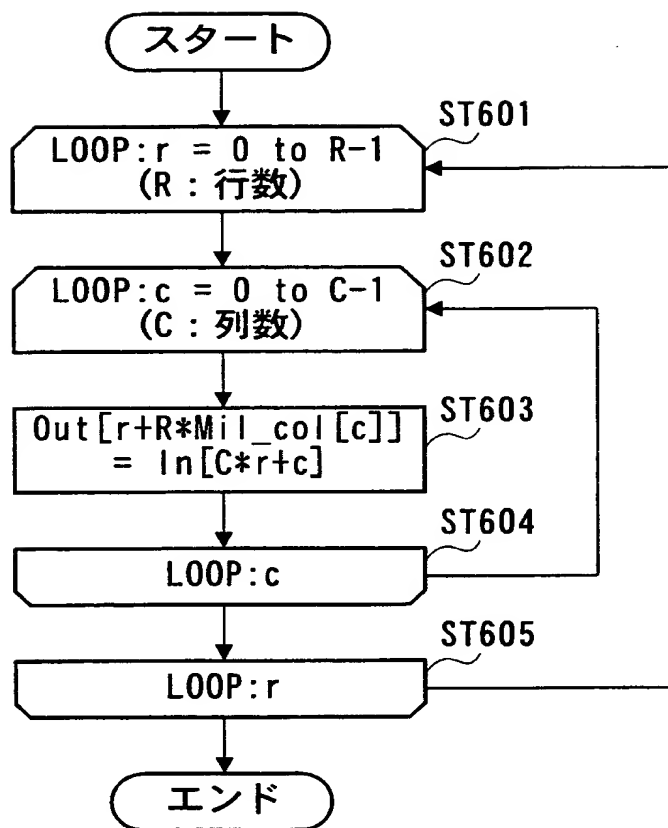


図 8

THIS PAGE BLANK (USPTO)

7 / 1 4

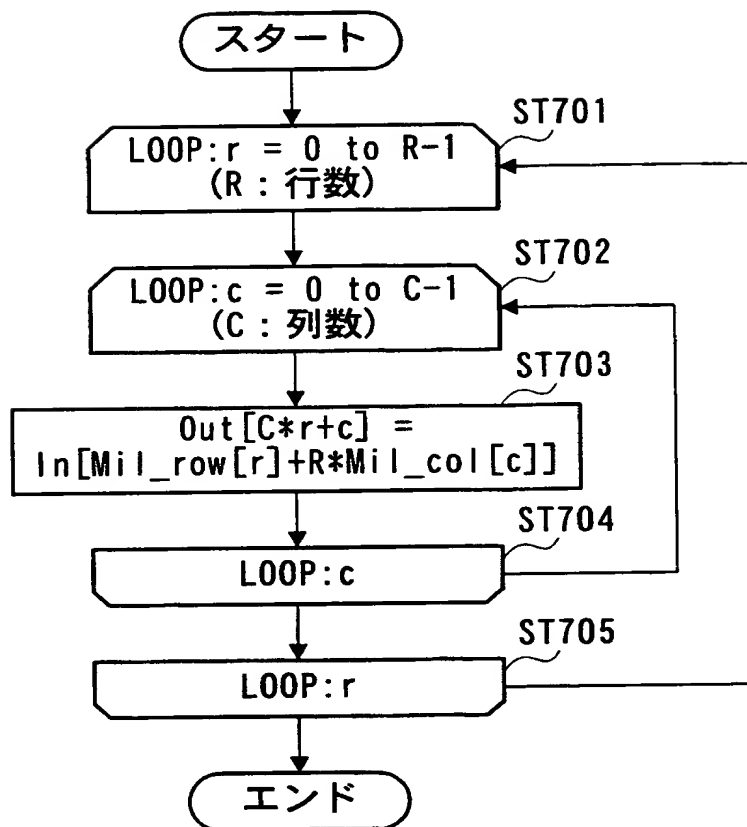


図 9

THIS PAGE BLANK (USPTO)

8 / 1 4

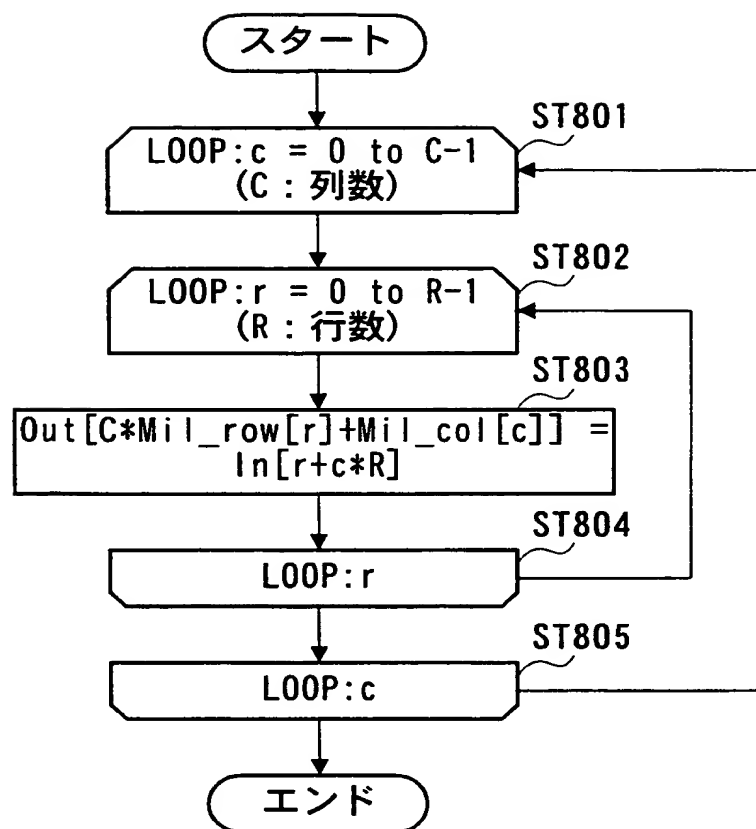


図 1 0

THIS PAGE BLANK (USPTO)

9 / 1 4

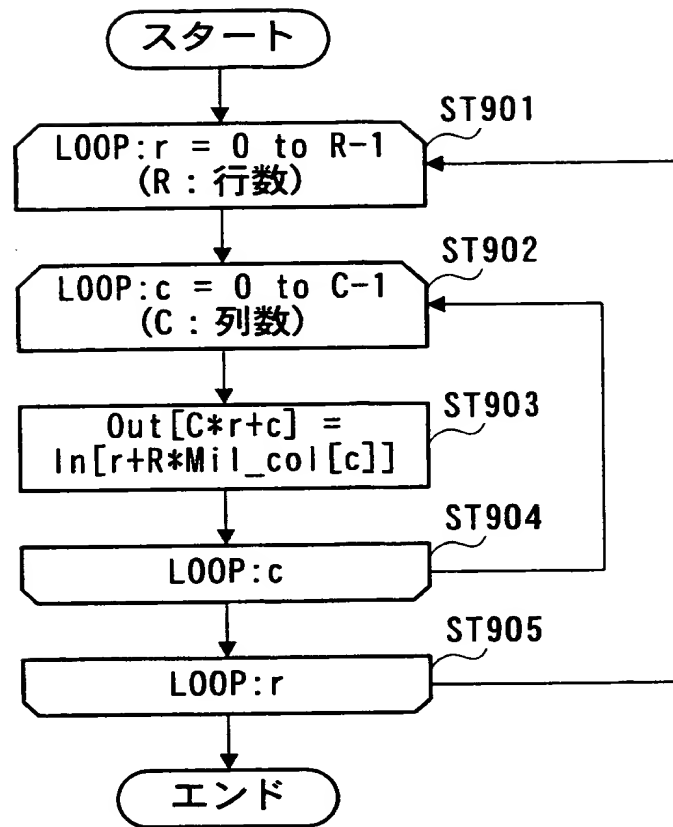


図 1 1

THIS PAGE BLANK (USPTO)

10 / 14

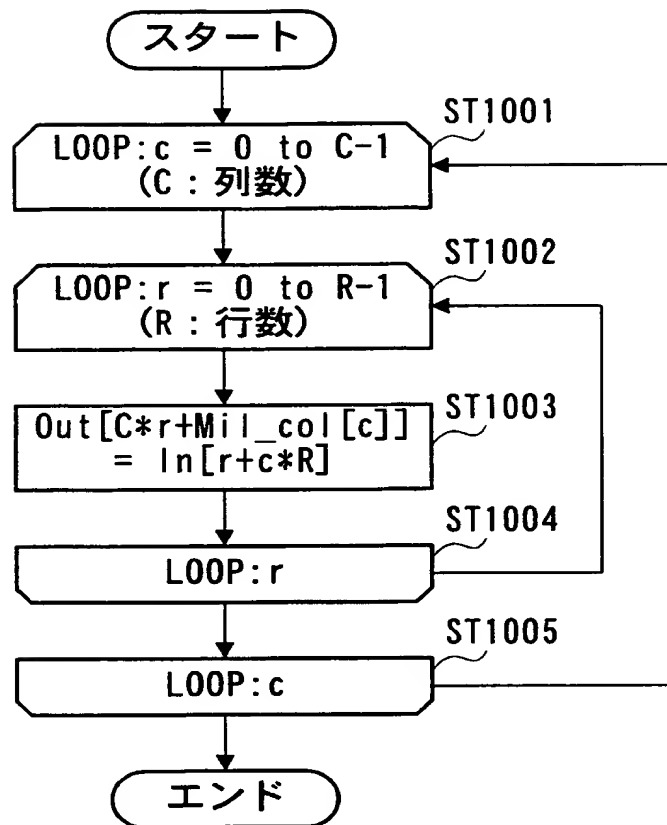


図 1 2

THIS PAGE BLANK (USPTO)

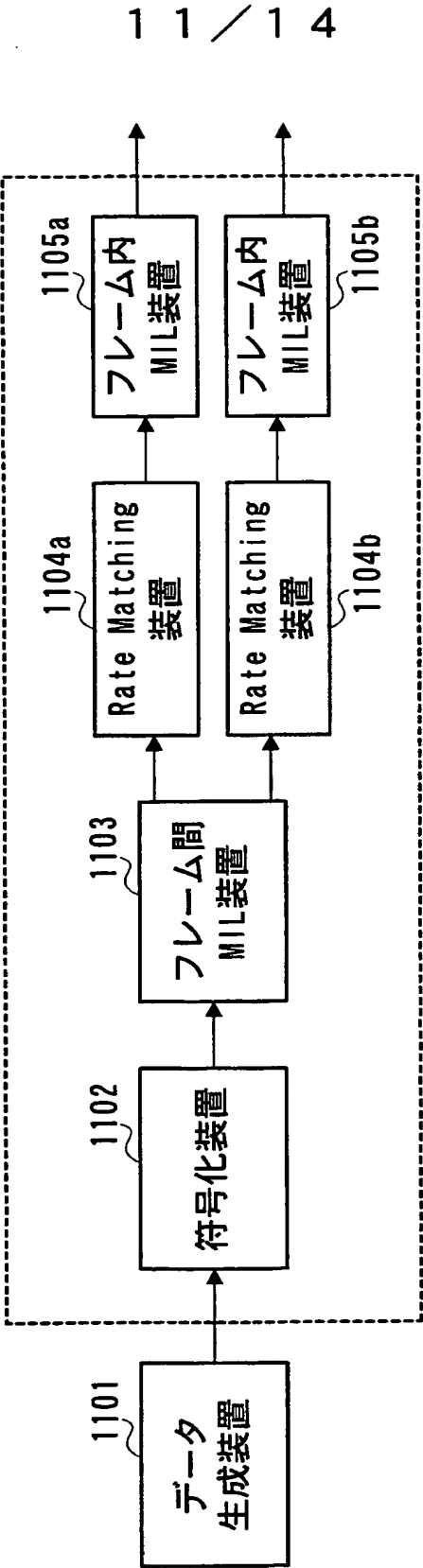


図 1 3

THIS PAGE BLANK (USPTO)

1 2 / 1 4

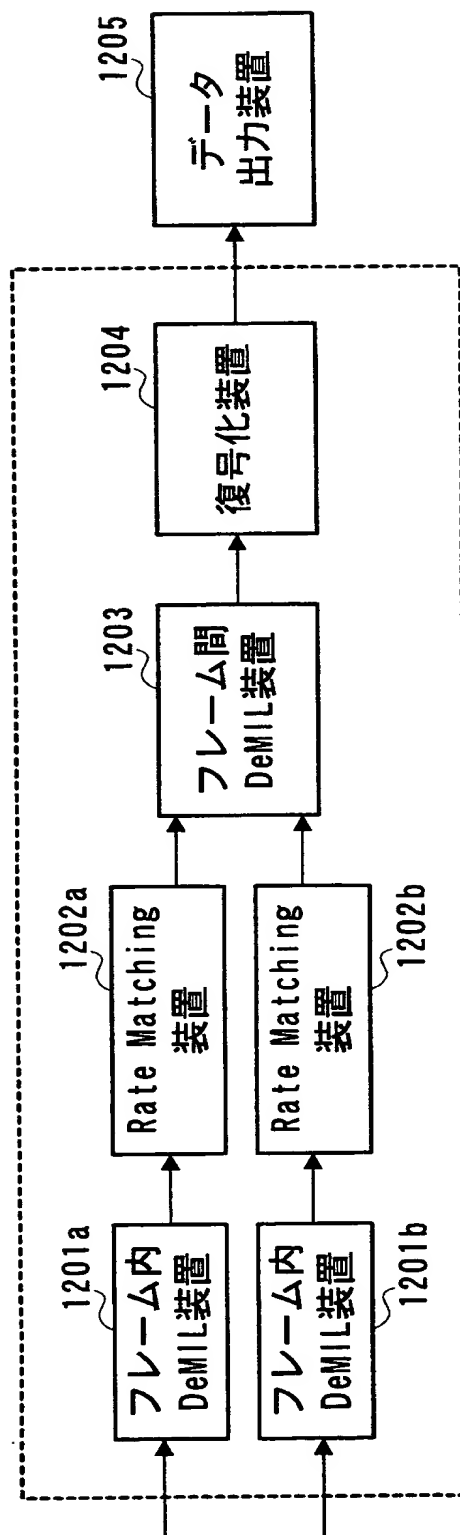
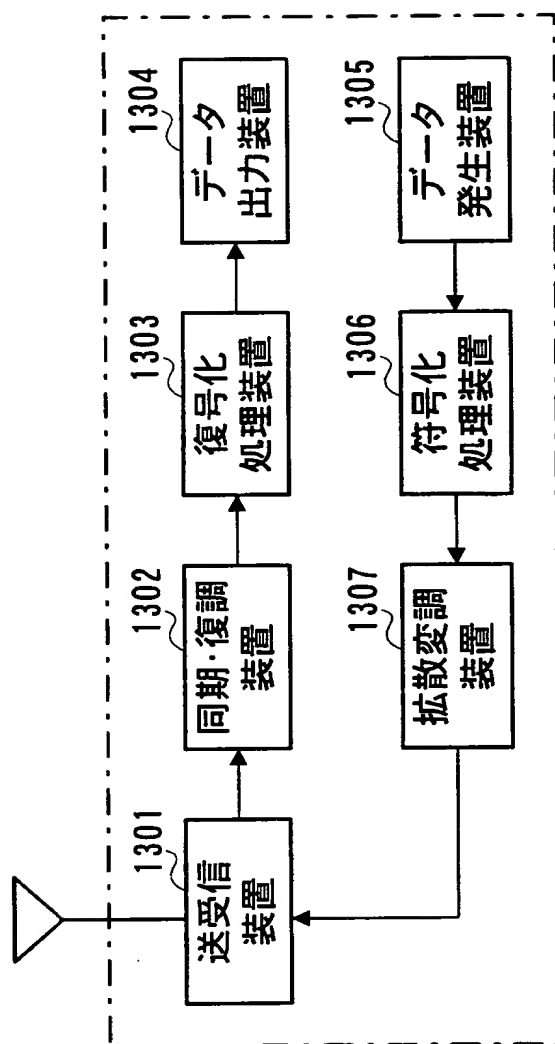


図 1 4

THIS PAGE BLANK (USPTO)

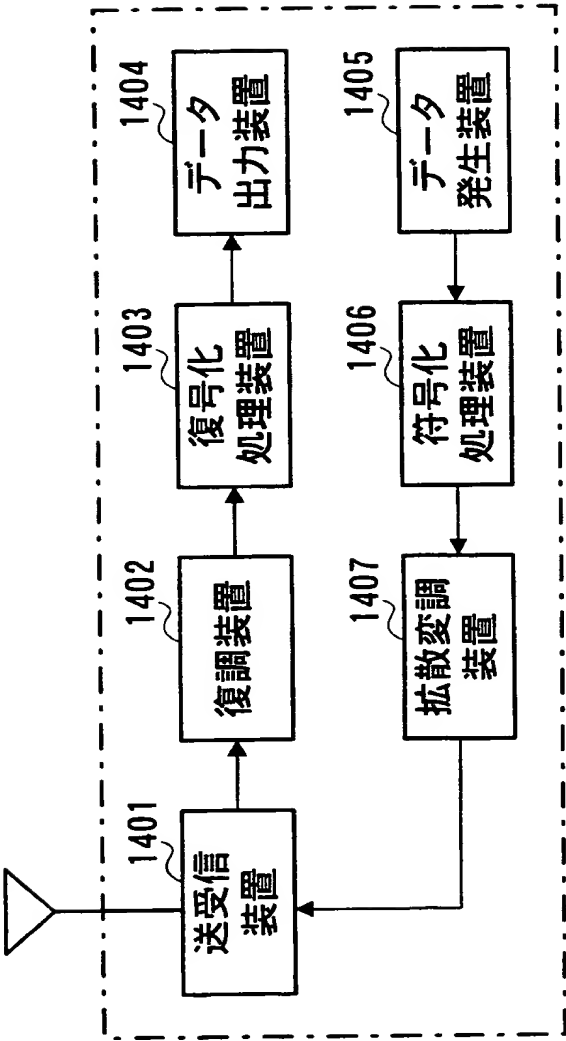
1 3 / 1 4



移動機

図 1 5

THIS PAGE BLANK (USPTO)



基地局

図 1 6

THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/02604

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ H03M13/27

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl.⁷ H03M13/27

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho(Y1,Y2) 1926-1996 Toroku Jitsuyo Shinan Koho(U) 1994-2000
Kokai Jitsuyo Shinan Koho(U) 1971-2000 Jitsuyo Shinan Toroku Koho(Y2)1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO, 99/25069, A1 (NTT Mobile Communications Network, Inc.), 20 May, 1999 (20.05.99), Figs. 41 to 44 & AU, 9915828, A	1-10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
24 July, 2000 (24.07.00)

Date of mailing of the international search report
08 August, 2000 (08.08.00)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

国際出願番号 PCT/JP00/02604

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H03M13/27

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H03M13/27

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y1, Y2) 1926-1996年
 日本国公開実用新案公報 (U) 1971-2000年
 日本国登録実用新案公報 (U) 1994-2000年
 日本国実用新案登録公報 (Y2) 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO, 99/25069, A1 (エヌ・ティ・ティ移動通信網株式会社), 20.5月.1999(20.05.99), 図41~図44 & AU, 9915828, A	1-10

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

24.07.00

国際調査報告の発送日

08.08.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小林 紀和



5K

4240

電話番号 03-3581-1101 内線 3556

THIS PAGE BLANK (USPTO)